МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ

Высшего образования

«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Кафедра электронных вычислительных машин

Допускаю к защите

Руководитель проекта

\_\_\_\_\_\_\_\_\_\_Мельцов В.Ю\_

подпись фамилия, инициалы

«­\_\_\_\_»\_\_\_\_\_\_\_\_\_\_\_2017\_г.

«РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА»

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту

по дисциплине «Проектирование цифровых устройств»

ТПЖА. 230100.066 ПЗ

Студент Группы ИВТ-31 ­­\_\_\_\_\_\_\_\_\_\_/\_\_\_\_Кислицына Ю.М.\_\_\_\_\_\_

подпись фамилия, инициалы

Руководитель \_­­­­­­\_\_\_\_\_\_\_\_\_/\_\_Мельцов В.Ю.\_\_\_\_\_

подпись фамилия, инициалы

Проект защищен с оценкой \_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

дата защиты

Комиссия \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_(\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_Мельцов В.Ю.\_\_)

подпись фамилия, инициалы

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_(\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_Клюкин В.Л.\_\_\_)

подпись фамилия, инициалы

Киров 2016

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Содержание  Введение…………………………………………………………………….…..3  1 Постановка задачи……………………………………………………..……..4  2 Описание алгоритмов функционирования АЛУ……………….…………..5  2.1 Описание алгоритма деления ……………………………….………….…5  2.2 Описание алгоритма сложения ……………………………...……………6  2.3 Описание алгоритма вычитания модулей ………...………...………...…6  2.4 Описание алгоритма инкремента …………………………...……..…..…7  2.5 Описание алгоритма логической операции XOR …...……...……..….…7  3 Численные примеры для операций АЛУ……………...…………………....9  3.1 Примеры операции деления ………………………...………………….....9  3.2 Примеры операции сложения и вычитания модулей…………………….13  3.3 Пример операции инкремент.…………….………………………………14  3.4 Пример операции XOR ……....………...…..………..………………..…..14  4 Разработка функциональных схем для отдельных операций….……...….16  4.1 Функциональная схема для операции деления …………………………16  4.2 Функциональная схема для операции сложения и вычитания …….…..17  4.3 Функциональная схема для операции инкремента ………………….….19  5 Описание ГСА отдельных операций …………………………….….……..23  5.1 Описание ГСА для операции деления ………………………………..….23  5.2 Описание ГСА для операции сложения и вычитания ………………….23  5.3 Описание ГСА для операции инкремента ……....……………….…..….24  6 Разработка объединенной функциональной схемы ….…………………...27  7 Разработка объединенной ГСА ……...……………………….………..…...28  8 Разработка и описание принципиальной схемы ОЧ АЛУ …..………..….29  9 Расчет фильтра питания ………………………………….…………….…..36  10 Расчет длительности такта и разработка тактового генератора ……….39  11 Разработка тактового генератора ……………………………………..….40  12 Расчет быстродействия…………………………………………………….43  Заключение…………………………………………………………………….48  Список использованных сокращений……………………………………….49  Библиографический список…………………………………………………..50  Приложения……………………………………………………………………51 | | | | | | | | | | |
|  |  |  |  |  |  | | | | | |
|  |  |  |  |  | ТПЖА.09.03.01.066 ПЗ | | | | | |
| *Изм.* | *Лист* | *№ докум.* | *Подп.* | *Дата* |  | | | | | |
| *Разраб.* | | *Кислицына* |  |  | Разработка операционной части арифметико-логического устройства | *Лит.* | | | *Лист* | *Листов* |
| *Пров.* | | *Мельцов* |  |  | Э |  |  | 2 | 59 |
| *Т.контр.* | |  |  |  | Кафедра ЭВМ | | | | |
| *Н.контр.* | | *Ростовцев* |  |  | Группа ИВТ-31 | | | | |
| *Утв.* | | *Страбыкин* |  |  |  |  | | | | |

Введение.

В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.

Разработка АЛУ под конкретную вычислительную машину позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.

Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций.

1 Постановка задачи

Разработать операционную часть АЛУ для реализации следующих операций:

* Умножения чисел с ускорением второго порядка с фиксированной запятой в прямом коде 1 способом;
* Сложение модулей;
* Вычитание;
* Инкремент;

Разрядность операндов – 32. 32 разряд – знаковый, , 31-0 – мантисса.

После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:

* ПРС;
* Равенство результата нулю;
* Знак результата;
* Перенос из старшего (значащего) разряда.

Разработанное устройство должно удовлетворять следующим требованиям:

* Минимизация аппаратурных затрат;
* Приемлемое быстродействие;
* Приемлемая потребляемая мощность.

2 Описание алгоритмов функционирования арифметико-логического устройства

В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые ситуации, с точки зрения построения автомата, ситуации при выполнении данных операций.

2.1 Описание алгоритма умножения.

Алгоритм умножения состоит из следующих шагов:

1. Принимаем операнды;
2. Если хотя бы 1 из операндов равен 0, то вывести результат равный 0;
3. Установить флаг равенства нулю;
4. Определяем знак произведения;
5. Анализируем 3 последних разряда множителя:

4.1. Если они равны «001» или «010», то прибавить множимое к СЧП;

4.2. Если они равны «011» или «100», то прибавить удвоенное множимое к СЧП;

4.3. Если они равны «101» или «110», то вычесть множимое из СЧП;

4.4. Если они равны «111» или «000», то прибавить 0 к СЧП;

5. Сдвинуть СЧП на 2 разряда вправо;

6. Сдвинуть множитель на 2 разряда вправо;

7. Повторить пункты 4-6 15 раз;

8. Вывести результат (учитывая знак).

2.2 Описание алгоритма сложения модулей

Алгоритм сложения состоит из следующих шагов:

1. Принимаем операнды;
2. Принудительно обнуляем знаковые разряды операндов;
3. Сложить операнды;
4. Проверить возникновение единицы переноса и становить флаг единицы переноса;
5. Проверить результат на равенство нулю и установить флаг равенства нулю;
6. Определить ПРС и установить флаг ПРС;
7. Установить флаг знака результата;
8. Вывести результат.

2.3 Описание алгоритма вычитания.

Алгоритм вычитания состоит из следующих шагов:

1. Принимаем операнды;
2. Инвертируем знак у 2 операнда;
3. Переводим содержимое операндов в ДК;
4. Сложить операнды;
5. Перевести результат в ПК;
6. Проверить возникновение единицы переноса и становить флаг единицы переноса;
7. Проверить результат на равенство нулю и установить флаг равенства нулю;
8. Определить ПРС и установить флаг ПРС;
9. Установить флаг знака результата;
10. Выводим результат.

2.4 Описание алгоритма инкремента

Алгоритм инкремента состоит из следующих шагов:

1. Принимаем операнд;
2. Анализируем знак операнда, если он равен «1», то переводим содержимое RG1 в ДК;
3. Сложить операнд с единицей;
4. Перевести результат в ПК;
5. Проверить возникновение единицы переноса и становить флаг единицы переноса;
6. Проверить результат на равенство нулю и установить флаг равенства нулю;
7. Определить ПРС и установить флаг ПРС;
8. Установить флаг знака результата;
9. Выводим результат.

3 Численные примеры для операций АЛУ

* 1. Примеры операции деления

3.1.1. Рядовая ситуация  
AПК =92= 0,010111002 (0v1v0v1v1v1v0v0≠0)  
BПК = 172=0,101011002 (1v0v1v0v1v1v0v0≠0)   
Знак произведения: 0⊕0=0;

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель | Множимое | СЧП | Комментарий |
| 0,01011100|0 | 00,10101100 | 00,00000000  00,00000000  00,00000000 | +0 |
| 0,00010111|0 | 00,10101100 | 00,00000000 | Сдвиг (2) |
| 0,00010111|0 | 00,10101100 | 00,00000000  11,01010100  11,01010100 | -М |
| 0,00000101|1 | 00,10101100 | 11,11010101 | Сдвиг (2) |
| 0,00000101|1 | 00,10101100 | 11,11010101 01,01011000 01,00101101 | +2М |
| 0,00000001|0 | 00,10101100 | 00,01001011 | Сдвиг (2) |
| 0,00000001|0 | 00,10101100 | 00,01001011 00,10101100 00,11110111 | +М |
| 0,00000000|0 |  | 00,00111101 | Сдвиг (2) |
|  |  | 00,00111101 | Результат |

Результат: 00, 00111101 000000002 \* 216=1561610

3.1.2. Множитель равен 0

AПК =0,00000002 BПК =0,11111112

0v0v0v0v0v0v0 = 0 ⇒ Множитель равен 0;

Результат: 0,00000002

3.1.3. Множимое равно 0

AПК =0,11111112 BПК =0,00000002

Множитель: 1v1v1v1v1v1v1 ≠ 0 ⇒ Множитель не равен 0;

Множимое: 0v0v0v0v0v0v0 = 0 ⇒ Множимое равно 0;

Результат: 0,00000002

3.2 Примеры операции сложения модулей

3.2.1 Рядовая ситуация

А=310;

Мантисса: 0.00112;

B=-810;

Мантисса: 1.10002;

Сложение:

0.0011 (ПК)

0.1000 (ПК)

0.1011 (ПК)

3.2.2 Возникновение ПРС

А=-1010;

Мантисса: 1.10102;

B=610;

Мантисса: 0.01112;

Сложение:

0.1010 (ПК)

0.0111 (ПК)

1.0000(ПК) - ПРС

3.3 Примеры операции вычитания

3.3.1 Рядовая ситуация

А=-1110;

Мантисса: 1.10112;

B=310;

Мантисса: 0.00112;

Сложение:

1.0101 (ДК)

1.1100 (ДК)

1.0001 (ДК) = 1,1111 (ПК) = 1510

3.3.2 Возникновение ПРС

А=910;

Мантисса: 0.10012;

B=-810;

Мантисса:1.10002;

Сложение:

0.1001 (ДК)

0.1000 (ДК)

1.0001 (ДК) - ПРС

3.4 Пример операции инкремент

3.4.1 Рядовая ситуация

А=1110;

Мантисса: 0.10112;

Сложение:

0.1011 (ПК)

0.0001 (ПК)

0.1100 (ПК)

А=-710;

Мантисса: 1.01112;

Сложение:

1.1001 (ДК)

0.0001 (ДК)

1.1010 (ДК)=1.0110 (ПК)= -610

3.4.2 Возникновение ПРС

А=1510;

Мантисса: 0.11112;

Сложение:

0.1111 (ПК)

0.0001 (ПК)

1.0000 (ПК) - ПРС

4 Разработка функциональных схем для отдельных операций

4.1 Функциональная схема для операции умножения.

В результате разработки ФС для операции умножения был получен ОА, состоящий из следующих элементов:

* 32-разрядные сдвиговые регистры RG1 и RG3;
* 32-разрядный регистр RG2;
* D-триггеры Т1, Т3, Т4 и Т5;
* 32-разрядный 4-х плечевой мультиплексор MS;
* 32-разрядный сумматор SM;
* 4-разрядный счетчик тактов CT;
* 4-входовой дешифратор DC;
* 32-входовой логический элемент XOR;
* 32-входовые логические элемент OR;
* Набор логических элементов:3 элемента XOR, 4 элемента OR, 1 элемент NOT.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 2.

Таблица 2 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | У0 | Запись в RG1;  Запись знака множителя в T5;  Запись «0» в 0 разряд RG1; Запись в СТ2; |
| Р0=1 | Один из операндов равен 0 | У1 | Запись в RG2; |
| P2=1 | Конец умножения | У2 | Сдвиг RG1 на 2 разряда вправо;  Сдвиг RG3 на 2 разряда вправо; |
| Z | Проверка возможности выдачи результата на ШИВых | У3 | Очистка RG3 |
|  |  | У11 | Усправлене 31 разрядом на плече А MS1 |
|  |  | У12 | Запись в RG3 |
|  |  | У14 | Перевод в ДК |
|  |  | Y18 | Выдача результата, Flags |
|  |  | Y19 | Запись СТ1 |
|  |  | Y20 | Запись T5 |

Разработанная ФС представлена на рисунке А.1.

4.2 Функциональная схема для операции сложения модулей и вычитания.

В результате разработки ФС для операций сложение модулей и вычитания был получен ОА, состоящий из следующих элементов:

* 32-разрядный регистры RG1 и RG2;
* D-триггеры Т1, Т2, Т3 и Т4;
* 32-разрядный сумматор SM;
* Два 32-входовых логических элемента XOR;
* 32-входовые логические элемент OR;

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 3.

Таблица 3 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | У0 | Запись в RG1;  Запись знака множителя в T5;  Запись «0» в 0 разряд RG1; Запись в СТ2; |
| P1=1 | Переполнение разрядной сетки (ПРС) | У1 | Запись в RG2; |
| P5=1 | Знак второго операнда | У3 | Очистка RG3 |
| P6=1 | Знак результата | У5 | Очистка RG1, RG2 |
| Z | Проверка возможности выдачи результата на ШИВых | У10 | Усправлене 31 разрядом на плече А MS1 |
|  |  | У12 | Запись в RG3 |
|  |  | У14 | Перевод в ДК |
|  |  | Y18 | Выдача результата, Flags |
|  |  | Y19 | Запись СТ1 |
|  |  | Y20 | Запись T5 |

Разработанная ФС представлена на рисунке А.2.

4.3 Функциональная схема для операции инкремента.

В результате разработки ФС для операции инкремента был получен ОА, состоящий из следующих элементов:

* D-триггеры Т1, Т2, Т3 и Т4;
* 32-разрядный счетчик тактов CT;
* 32-входовые логические элемент OR;
* 32-входовые логические элемент AND;
* 1 логический элемент OR.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 4.

Таблица 4 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | У0 | Запись в RG1;  Запись знака множителя в T5;  Запись «0» в 0 разряд RG1; Запись в СТ2; |
| P1=1 | Переполнение разрядной сетки (ПРС) | У3 | Очистка RG3 |
| P3=1 | Старший разряд счетчика | У8 | СТ1=СТ1+1 |
| P4=1 | СТ1=11…11 | У9 | СТ1=СТ1-1 |
| Z | Проверка возможности выдачи результата на ШИВых | Y18 | Выдача результата, Flags |
|  |  | Y19 | Запись СТ1 |
|  |  | Y20 | Запись T5 |

Разработанная ФС представлена на рисунке А.3.

6 Разработка объединенной ГСА

Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 5.

Таблица 5 – Коды операций

|  |  |  |
| --- | --- | --- |
| Операция | КОП | |
| q1 | q0 |
| Инкремент | 0 | 0 |
| Сложение модулей | 0 | 1 |
| Вычитание | 1 | 0 |
| Умножение | 1 | 1 |

При разработке объединенной ГСА была добавлена вершина выбора кода операции. Общие части всех ГСА были выделены отдельно.

Разработанная объединенная ГСА представлена на рисунке Б.4.

5 Разработка и описание принципиальной схемы операционной части арифметико-логического устройства

В качестве основной элементной базы выбраны элементы серии КР1533 и КР1531 поскольку их основное отличие от более ранней серии К555 и К155 в том, что при повышенном быстродействии и приемлемой помехоустойчивости они имеют в несколько раз меньшую потребляемую мощность. В случаях, когда требуется более высокое быстродействие, используют микросхемы серии КР531, но в данной курсовой работе они не используются.

Перечень используемых элементов представлен в таблице 6.

Таблица 6 – перечень элементов

|  |  |  |
| --- | --- | --- |
| Тип | Серия | Описание |
| КР155 | ИР13 | Реверсивный 8-ми разрядный регистр |
| КР1533 | ИЕ7 | 4-х разрядный счетчик |
| КР1533 | ТМ2 | D-триггер (2 шт. в корпусе) |
| КР555 | ИМ6 | 4-х разрядный сумматор |
| КР1533 | КП16 | 4-х разрядный мультиплексор 2 в 1 |
| КР155 | ИД1 | 4-х разрядный дешифратор |
| КР1533 | АП5 | Шинный формирователь |
| КР1533 | ЛП5 | XOR (4 шт. в корпусе) |
| КР1533 | ЛИ1 | Логическое И (4 шт. в корпусе) |
| КР1533 | ЛН1 | Инвертор (6 шт. в корпусе) |
| КР1533 | ЛЛ1 | Логическое ИЛИ (4 шт. в корпусе) |
| КР1533 | ЛA3 | Логическое И-НЕ (4 шт. в корпусе) |
| КР1533 | ЛE1 | Логическое ИЛИ-НЕ (4 шт. в корпусе) |

Потребляемый микросхемами ток представлен в таблице 6

5.1 Регистры

В качестве регистров RG1, RG2, RG3, выбрана микросхема КР133ИР13 позволяющая осуществлять сдвиги влево и вправо, параллельную запись и сброс. Изображение регистра представлено на рисунке 1.



Рисунок 1 – Регистр ИР13

Особенностью данной схемы является, то что нельзя допускать перепада из высокого уровня в низкий на управляющих входах во время низкого уровня синхросигнала. Так же не следует менять режим во время записи в регистр. Выбор режима с помощью сигналов управления ИР13 представлен в таблице 7.

Таблица 7 – Режимы регистра ИР13

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S1 | S0 | ¬R | Режимы |
| -/ | 1 | 1 | 1 | Запись |
| -/ | 1 | 0 | 1 | Сдвиг влево |
| -/ | 0 | 1 | 1 | Сдвиг вправо |
| X | 0 | 0 | 1 | Хранение |
| X | X | X | 0 | Сброс в 0 |

Обозначения:

-/ - активный фронт по счетным входам;

X – любое состояние.

Регистры имеют специальные входы переноса при сдвиге. Схема соединения регистров представлена на рисунке 2.



Рисунок 2 – Схема соединения регистров

Временные диаграммы работы регистров представлены на рисунке 6.

Рисунок 6 – Временные диаграммы работы регистров

Задержки на элементах считаются следующим образом:

t1 = + = 8нс + 14нс = 22 нс

t2 = + = 8нс + 12нс = 20 нс

t3 = = 11нс

t4 = = 11нс.

5.2 Счетчики

Для реализации счетчиков была выбрана микросхема КР1533 ИЕ7 – четырехразрядный реверсивный счетчик с параллельной загрузкой. Схематическое изображение счетчика с указанием способа соединения представлено на рисунке 7.



Рисунок 7 – Счетчик ИЕ7.

Режим работы счетчика представлен в таблице 4.

Таблица 4 – Режим работы счетчика ИЕ7

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| R | ¬C | +1 | -1 | Режим |
| 1 | X | X | X | Сброс |
| 0 | 0 | X | X | Запись |
| 0 | 1 | 1 | 1 | Хранение |
| 0 | 1 | -/ | 1 | +1 |
| 0 | 1 | 1 | -/ | -1 |

Организация счетчиков требует учета следующих особенностей:

Запись статическая, а счет динамический по фронту сигнала.

Так же стоит отметить то, что для корректного счета сигналы счета инвертируются, а на неиспользуемые счетные входы подается высокий сигнал.

Входы переноса обозначаются cr и br.

Поскольку данные на входах счетчиков меняются необходимо преобразовать статическую запись в динамическую. Временная диаграмма записи в счетчик приведена на рисунке 8.

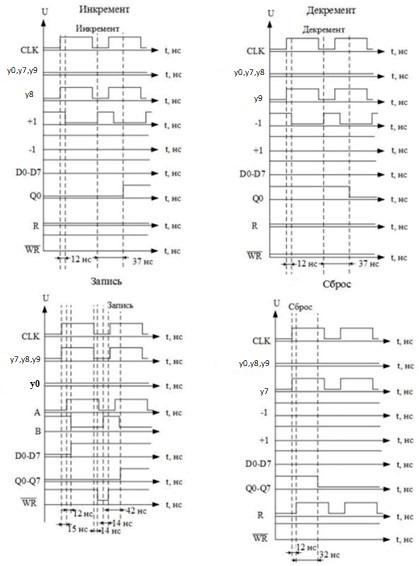


Рисунок 8 – Диаграмма записи в ИЕ7

Такой сигнал получается с помощью особой микросхемы КР1533АГ3 содержащей два одновибратора.

Верные данные на входах счетчика СТ1 будут сформированы после прохождения сигнала управляемого инвертора (ЛП16 и ЛП5). Учитывая время предустановки счетчика запись следует подавать через время t после начала такта:

= ++= 8 + 8 + 20 = 36нс.

Схема управления счетчиками представлена на рисунке 9.



Рисунок 9 – Схема управления счетчиками

5.3 Триггеры

Для записи знаков, флагов признаков результата и формирования дополнительных разрядов счетчиков и регистров (для СТ2 и RG2) были использованы микросхемы триггеров КР1533ТМ2. Микросхема состоит из двух D-триггеров имеющих синхронный вход, а так имеются инверсные входы сброса и установки. Схема ТМ2 приведена на рисунке 10.



Рисунок 10 – триггер ТМ2

5.4 Логические элементы

Логические элементы представлены микросхемами серии КР1533. Перечень используемых логических элементов можно найти в таблице. Схематическое изображение элементов представлено на рисунке 11.



Рисунок 11 – Логические элементы

Номер входа питания данных элементов находится суммой максимального номера и единицы, а вход земли делением этой суммы на 2.

5.5 Шинный формирователь

По завершении операции результат выдаётся на шину. Для корректного формирования результата используется усилитель- формирователь. Данный элемент реализуется с помощью микросхемы КР1533АП5. УГО данной микросхемы представлено на рисунке 20.



Рисунок 20 – УГО микросхемы К1533АП5

5.6 Резистор

Поскольку используются выходы микросхемы К1533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R1 рассчитывается по формуле

,

Где

- минимальное напряжение микросхемы;

- максимальное напряжение микросхемы;

- максимальное напряжение логического нуля;

- Минимальное напряжение логической единицы

- токи утечки логического нуля и единицы;

- входные токи логических нуля и единицы;

- выходной ток логического нуля;

- количество элементов с открытым коллектором.

Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал и количество подключаемых выходов с открытым коллектором невелико, слагаемым (𝑁 − 1) ∗ 𝐼ут 0 можно пренебречь. Ограничительное сопротивление можно рассчитать следующим образом:

,

ОМ

6 Расчет потребляемой мощности

Токопотребление выбранной элементной базы представлено в таблице 6.

Таблица 6 – Токопотребление элементов

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Тип | Серия | Количество | Iпотр. i, мА | Iпотр. i общ., мА |
| КР155 | ИР13 | 12 | 40 | 480 |
| КР1533 | ИЕ7 | 5 | 22 | 110 |
| КР1533 | ТМ2 | 3 | 4 | 12 |
| КР555 | ИМ6 | 10 | 34 | 340 |
| КР1533 | КП16 | 24 | 11 | 264 |
| КР155 | ИД1 | 1 | 25 | 25 |
| КР1533 | АП5 | 4 | 27 | 108 |
| КР1533 | ЛП5 | 13 | 7 | 91 |
| КР1533 | ЛИ1 | 12 | 4 | 48 |
| КР1533 | ЛН1 | 1 | 3,8 | 3,8 |
| КР1533 | ЛЛ1 | 2 | 4,9 | 9,8 |
| КР1533 | ЛП3 | 3 | 3 | 9 |
| КР1533 | ЛE11 | 4 | 9 | 36 |

Общий потребляемый ток Iпотр составляет 1056,6 мА. В соответствии с полученными данными рассчитывается потребляемая мощность:

Pпотр = I\*U = 1056,6мА \* 5В = 5,28 Вт.

9 Расчёт фильтра питания

Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр. Требуется рассчитать количество и ёмкости двух видов конденсаторов:

* электролитического – необходимого для сглаживания пульсирующего тока;
* керамического – необходимого для сглаживания напряжения.

9.1 Расчет амплитуды ступенчатого скачка тока

Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле, приведённой ниже.

,

где N – количество выходов микросхем;

C – средняя емкость нагрузки выходов;

ΔV – амплитуда выходного сигнала;

Δt – время переключения выходов.

Примем

C=10пФ, ΔV=5.25В, Δt=5нс, N=500.

Подставим в формулу и выполним расчёты

=500\*10\*10-12\*(5,25/5\*10-9)= 5.25А

9.2 Расчет импеданса

Рассчитаем максимально допустимый импеданс по следующей формуле:

,

Где ∆Vп – допустимое напряжение помехи, равное 0.1В.

Для данного случая

Xmax=0.1/5.25=0.019 Ом.

9.3 Расчет индуктивности

Вычислим индуктивность разводки питания по следующей формуле:

,

Где Х – длина провода питания;

H – среднее расстояние между центрами проводов;

D – диаметр жилы провода.

Примем

Х=30см, Н=5мм, D=1мм.

Подставим значения в формулу и рассчитаем

9.4 Расчет частоты помех

По следующей формуле найдём допустимую частоту помех:

9.5 Расчет емкости конденсатора

По следующей формуле рассчитаем емкость электролитического конденсатора.

9.6 Обеспечения устойчивости

Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические конденсаторы малой емкости.

Для расчёта данной емкости сначала найдём максимальную допустимую индуктивность питания по следующей формуле:

По следующей формуле рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением:

По следующей формуле рассчитаем общую емкость керамических конденсаторов:24091.04544

Расчёт количества керамических конденсаторов рассчитывается по следующей формуле:

,

где LCK=5 нГн

При расчёте этой формулой необходимо 122 керамических конденсатора. Для определения окончательного числа данных конденсаторов следует воспользоваться правилом: на каждые 5 логических микросхем требуется 1 конденсатор. Все остальные микросхемы имеют большее число переключений и им необходимо установить на каждую микросхему по одному керамическому конденсатору.

Таким образом, общее количество требуемых керамических конденсаторов равно 69.

Отсюда емкость одного конденсатора:

Получившиеся емкости: Cэ=410 мкФ, Сk=0.6 мкФ.

Из ряда Е6 берем значение для электролитического конденсатора Cэ=410мкФ.

А для керамического конденсатора берём значение ряда Е24 - Сk=0.6 мкФ.

10 Расчёт длительности такта и разработка тактового генератора

Схематически такт работы представлен на рисунке 21.

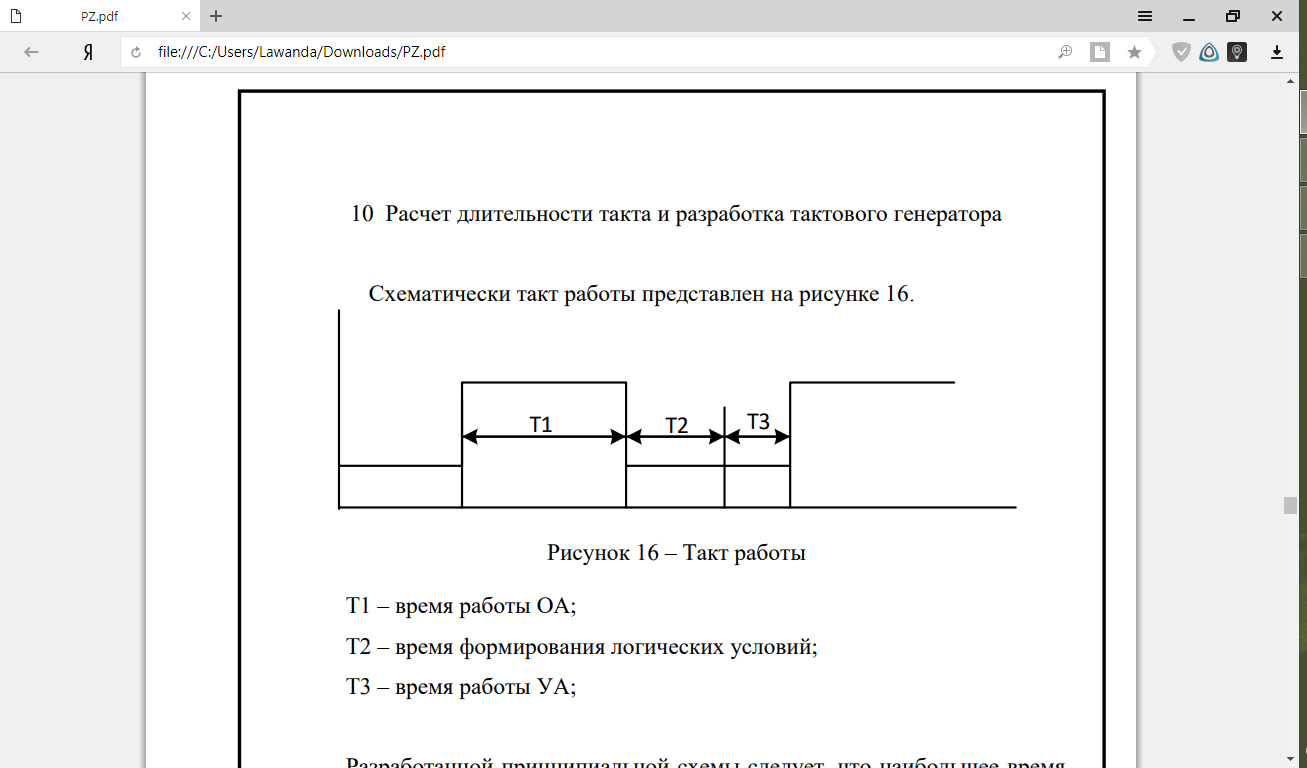


Рисунок 21– Такт работы

Т1 – время работы ОА;

Т2 – время формирования логических условий;

Т3 – время работы УА.

Из разработанной принципиальной схемы следует, что наибольшее время задержки ОУ требуется для перезаписи данных из одного регистра в другой через сумматор. Для определения данной задержки необходимо сложить время задержки КС после первого регистра(t1), время задержки на сумматоре(t2) и время записи ИР13(t3).

Т1 = 30+288+22=340нс

Время Т2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал р3.

Для повышения надёжности время задержки Т2 необходимо увеличить на 10%. Конечное значение времени задержки при формировании осведомительного сигнала p3 равно 95нс.

Время Т3 определяется временем задержки на УА.

КС состоит из трех слоёв элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов получается из суммы задержек этих элементов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.

Общее время такта: T=T1+T2+T3=340+95+57=492нс

11 Разработка тактового генератора

В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединятся в мультивибратор. Ее подключение показано на рисунке 22.



Рисунок 22 – схема подключения генератора

Для реализации тактового генератора требуется рассчитать номиналы C1, C2, R1, R2. Для расчёта используется следующие формулы:

t=0.45RC,

где t – время;

С – ёмкость;

R – сопротивление.

Время задержки на одновибраторах t3­=39 нс.

Время работы на первом одновибраторе t1=Toy=340 нс.

Время работы на втором одновибраторе t2=Tp+Tyy-2\*t3=152-2\*39=74 нс.

C1 выбирается из ряда E24 равным 360 пФ. R1 рассчитывается по формуле:

Резистор выбирается из ряда E6 сопротивлением 2.2 кОм.

C2 выбирается из ряда E24 равным 110 пф. R2 и рассчитывается по формуле. Резистор выбирается из ряда E6 сопротивлением 1.5 кОм.

По формуле повторно рассчитывается t1 и t2:

t1=356.4 нс;

t2=74.5 нс.

Получается, что генератор вырабатывает тактовый импульс с временем Т = 508 нс.

Разработанная схема работает с частотой F=1/T=1.37 МГц

Временная диаграммы тактового генератора представлены на рисунке 23.



Рисунок 23– временные диаграммы для генератора

12 Расчёт быстродействия

Вероятности возникновения различных ситуаций при работе представлены в таблице 12.1.

Таблица 12.1 – вероятности различных ситуаций

|  |  |
| --- | --- |
| Наименование | Вероятность |
| Операция умножения | 0.1 |
| Операция модулей сложения | 0.4 |
| Операция вычитания | 0.3 |
| Операция инкремент | 0.2 |
| Операнд равен нулю | 0.01 |
| Результат равен нулю | 0.01 |
| Переполнение разрядной сетки | 0.01 |
| На счетчик поданы все единицы | 0.01 |
| Конец операции умножения | 0.01 |

Найдём среднее количество тактов для выполнения каждой операции.

Граф-схема алгоритма операции умножения представлена на рисунке 24.



Рисунок 24 – Граф-схема операции умножения

A1 + 0.01 (А5 + А6) + 0.99 (A2 + 0.99 (А3+А4 + 0.99 \*15+ 0.01(А6)) + 0,01 (А5+А6)) = 18,55

Граф-схема алгоритма операции сложения/вычитания модулей приведена на рисунке 25.



Рисунок 25 – Граф-схема операций сложения и вычитания модулей

А1+А2+А3+А4+0.99(А5)+0.01(А6)=5

А1+ 0.5(А7+А9+ 0.5(А10+0.5(0.99(А5)+0.01(А6))+0,5(А12+А13 + 0.99(А5)+0.01(А6)))+0,5(А11+0.5(0.99(А5)+0.01(А6))+ 0,5(А12+А13 + 0.99(А5)+0.01(А6))))+0.5(А8+А9+0.5(А10+0.5(0.99(А5)+0.01(А6))+0,5(А12+А13 + 0.99(А5)+0.01(А6)))+0,5(А11+0.5(0.99(А5)+0.01(А6))+ 0,5(А12+А13 + 0.99(А5)+0.01(А6))))=6,8125

Граф-схема алгоритма операции декремента приведена на рисунке 26 .



Рисунок 26 – Граф-схема алгоритма декремента

A1+0.005(А5)+0.995(0.5(А2+А4+А6) +0.5(А3+А4+А6))= 3,99

Используя данные предыдущих вычислений найдём среднее число операций, выполняемых на АЛУ.

N=Nу\*0.1+Nс\*0.4+Nв\*0.3+0.2\*Nи=0.1\*18.55+0.4\*5+0.3\*6.815+0.2\*3.99=5.6975

Отсюда число операций в секунду:

Приложение А

(Обязательное)

Функциональные схемы отдельных операций



Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножение



Рисунок А.2 – Функциональная схема ОЧ АЛУ операций сложение модулей и вычитание



Рисунок А.3 – Функциональная схема ОЧ АЛУ операции инкремент



Рисунок А.4 – Объединенная функциональная схема

Приложение Б

(Обязательное)

Содержательные схемы алгоритмов



Рисунок Б.1 – Содержательная схема алгоритма умножения



Рисунок Б.2 – Содержательная схема алгоритмов сложения и вычитания



Рисунок Б.3 – Содержательная схема алгоритма операции инкремент



Рисунок Б.4 – Содержательная схема объединенного алгоритма

Приложение В

(Обязательное)

Внешний вид разъема СНП34-135Р

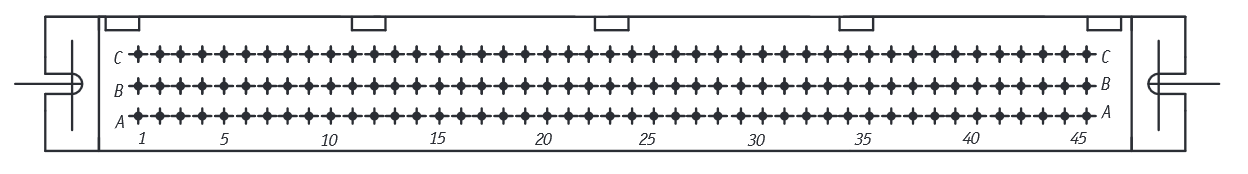


Рисунок Д.1 – Схема расположения контактов



Рисунок Д.2 – Внешний вид разъема

Ведомость

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №строки | Формат | | Обозначение | | | | Наименование | | | | | Кол-во листов | | № экз. | Примеч | |
| 1 |  | |  | | | | Документация общая | | | | |  | |  |  | |
| 2 |  | |  | | | | Вновь разработанная | | | | |  | |  |  | |
| 3 |  | |  | | | |  | | | | |  | |  |  | |
| 4 | А2 | | ТПЖА.230100.62.038 Э2 | | | | Схема электрическая функциональная ОЧ АЛУ | | | | | 1 | |  | Чертеж | |
| 5 | А2 | | ТПЖА.230100.62.038 КПЛ | | | | Граф-схема алгоритма содержательная объединенная | | | | | 1 | |  | Плакат | |
| 6 | А2 | | ТПЖА.230100.62.038 Э3 | | | | Схема электрическая принципиальная ОЧ АЛУ | | | | | 2 | |  | Чертеж | |
| 7 | A4 | | ТПЖА.230100.62.038 ПЭ3 | | | | Перечень элементов | | | | | 1 | |  |  | |
| 8 | A4 | | ТПЖА. 230100.062.038 ПЗ | | | | Пояснительная записка | | | | | 59 | |  |  | |
| 9 |  | |  | | | |  | | | | |  | |  |  | |
| 10 |  | |  | | | |  | | | | |  | |  |  | |
| 11 |  | |  | | | |  | | | | |  | |  |  | |
| 12 |  | |  | | | |  | | | | |  | |  |  | |
| 13 |  | |  | | | |  | | | | |  | |  |  | |
| 14 |  | |  | | | |  | | | | |  | |  |  | |
| 15 |  | |  | | | |  | | | | |  | |  |  | |
| 16 |  | |  | | | |  | | | | |  | |  |  | |
| 17 |  | |  | | | |  | | | | |  | |  |  | |
| 18 |  | |  | | | |  | | | | |  | |  |  | |
| 19 |  | |  | | | |  | | | | |  | |  |  | |
| 20 |  | |  | | | |  | | | | |  | |  |  | |
| 21 |  | |  | | | |  | | | | |  | |  |  | |
| 22 |  | |  | | | |  | | | | |  | |  |  | |
| 23 |  | |  | | | |  | | | | |  | |  |  | |
|  | |  | |  |  |  | |  | | | | | | | | |
|  | |  | |  |  |  | | ТПЖА.230100.62.038 ДКП | | | | | | | | |
| *Изм.* | | *Лист* | | *№ докум.* | *Подп.* | *Дата* | |  | | | | | | | | |
| *Разраб.* | | | | *Кислицына* |  |  | | Разработка операционной  части арифметико-  логического устройства | *Лит.* | | | | *Лист* | | | *Листов* |
| *Пров.* | | | | *Мельцов* |  |  | | *Э* |  |  | |  | | | *1* |
| *Т.контр.* | | | |  |  |  | | Кафедра ЭВМ | | | | | | | |
| *Н.контр.* | | | | *Ростовцев* |  |  | | Группа ИВТ-31 | | | | | | | |
| *Утв.* | | | | *Страбыкин* |  |  | |  | | | | | | | |

Перечень элементов

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №строки | Формат | | Обозначение | | | | Наименование | | | | Кол. | | Приме-  чание | | |
| 1 |  | |  | | | | Резисторы | | | |  | |  | | |
| 2 |  | | R1 | | | | 1 кОм | | | | 1 | |  | | |
| 3 |  | |  | | | |  | | | |  | |  | | |
| 4 |  | |  | | | | Микросхемы | | | |  | |  | | |
| 5 |  | | D71-D74 | | | | К1533АП5 | | | | 4 | |  | | |
| 6 |  | | D54-55, D62-63 | | | | К1533ИЕ7 | | | | 4 | |  | | |
| 7 |  | | D1, D4-5, D31-33, D40-42 | | | | К133ИР13 | | | | 9 | |  | | |
| 8 |  | | D48-53 | | | | К1533КП11 | | | | 6 | |  | | |
| 9 |  | | D11-16 | | | | К1533ИП3 | | | | 6 | |  | | |
| 10 |  | | D22-23 | | | | К1533ИП4 | | | | 2 | |  | | |
| 11 |  | | D6, D25-27 | | | | К1533ТМ2 | | | | 4 | |  | | |
| 12 |  | | D60, D61 | | | | К555ИМ6 | | | | 2 | |  | | |
| 13 |  | | D7-9, D21, D28, D66-67 | | | | К1533ЛИ1 | | | | 7 | |  | | |
| 14 |  | | D3, D10, D17, D29 | | | | К1533ЛН1 | | | | 4 | |  | | |
| 15 |  | | D18, D34-39, D56-58, D64-65 | | | | К1533ЛП5 | | | | 12 | |  | | |
| 16 |  | | D45 | | | | К1533ЛЕ1 | | | | 1 | |  | | |
| 17 |  | | D2, D19-21, D68 | | | | К1533ЛЛ1 | | | | 5 | |  | | |
| 18 |  | | D46 | | | | К1533ЛИ6 | | | | 1 | |  | | |
| 19 |  | | D43-44, D59 | | | | К533ЛЕ7 | | | | 3 | |  | | |
| 20 |  | | D24 | | | | К1533ТВ10 | | | | 1 | |  | | |
| 21 |  | | D69-70 | | | | К1533СП1 | | | | 2 | |  | | |
| 22 |  | |  | | | | Разъем | | | |  | |  | | |
| 23 |  | | XP1 | | | | СНП34-135Р | | | | 1 | |  | | |
| 24 |  | |  | | | |  | | | |  | |  | | |
| 25 |  | |  | | | | Конденсаторы | | | |  | |  | | |
| 26 |  | | C1 | | | | 220мкФ | | | | 1 | |  | | |
| 27 |  | | C2-C41 | | | | 470пФ | | | | 40 | |  | | |
|  | |  | |  |  |  |  | | | | | | | |
|  | |  | |  |  |  | ТПЖА.230100.62.038 ПЭ3 | | | | | | | |
| *Изм.* | | *Лист* | | *№ докум.* | *Подп.* | *Дата* |  | | | | | | | |
| *Разраб.* | | | | *Зорин* |  |  | Разработка | *Лит.* | | | | *Лист* | | *Листов* |
| *Пров.* | | | | *Мельцов* |  |  | операционной части | Э |  |  | |  | | 1 |
| *Т.контр.* | | | |  |  |  | арифметико- | Кафедра ЭВМ | | | | | | |
| *Н.контр.* | | | | *Ростовцев* |  |  | логического | Группа ИВТ-31 | | | | | | |
| *Утв.* | | | | *Страбыкин* |  |  | устройства |  | | | | | | |

УДК 004.4

Реферат

Зорин Д.А. РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА: ТПЖА.230100.62.038 ПЗ: Курс. проект / ВятГУ, каф. ЭВМ; рук. В.Ю. Мельцов - Киров, 2015. – Гр. ч. 4 л. ф.А2; ПЗ 59 с., 9 табл., 2 источника, 5 прил.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ПОРЯДОК, ПРИНЦИПИАЛЬНАЯ СХЕМА, СЛОЖЕНИЕ, ВЫЧИТАНИЕ, ИНКРЕМЕНТ, ДЕЛЕНИЕ.

Объект исследования и разработки – операционная часть арифметико-логического устройства, выполняющего операции деления I способом с плавающей запятой без восстановления остатков с использованием обратного кода при вычитании, вычитания, сложения, инкремента, XOR-НЕ.

Цель курсового проекта – синтезировать с наименьшими аппаратурными затратами операционную часть арифметико-логического устройства, выполняющего операции деления I способом с плавающей запятой без восстановления остатков с использованием обратного кода при вычитании, вычитания, сложения, инкремента, XOR-НЕ.

Результатом работы является принципиальная схема арифметико-логического устройства.